

(19)日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平10-209781

(43)公開日 平成10年(1998)8月7日

(51)Int.Cl.⁶
H 03 G 3/10
H 03 F 3/45

識別記号

F I
H 03 G 3/10
H 03 F 3/45

B
Z

審査請求 未請求 請求項の数 3 OL (全 10 頁)

(21)出願番号 特願平9-6120

(22)出願日 平成9年(1997)1月17日

(71)出願人 000005108

株式会社日立製作所
東京都千代田区神田駿河台四丁目6番地

(72)発明者 豊田 研次

東京都小平市上水本町五丁目20番1号 株式会社日立製作所半導体事業部内

(72)発明者 松浦 達治

東京都小平市上水本町五丁目20番1号 株式会社日立製作所半導体事業部内

(72)発明者 長谷 健一

東京都小平市上水本町五丁目20番1号 株式会社日立製作所半導体事業部内

(74)代理人 弁理士 小川 勝男

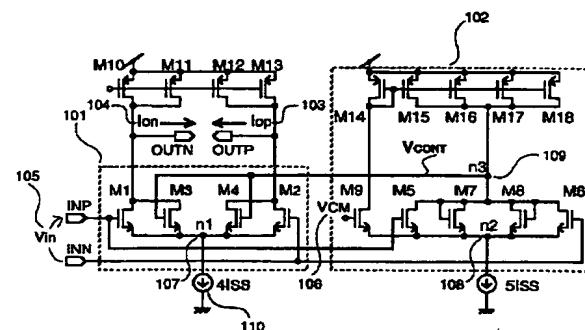
(54)【発明の名称】 差動回路を含む電子回路

(57)【要約】

【課題】 比較的単純な回路構成によって線形な伝達特性が得られる入力範囲を拡大することができる差動回路を提供すること。

【解決手段】 差動回路101の差動FET M1、M2のゲートの差動入力電圧 V_{in} の振幅値が増大すると、制御回路102の制御電圧 V_{cont} が減少して、差動回路101の第2FET M3、M4に流れる電流を減少させると差動回路101の差動FET M1、M2に流れる電流が増大し、差動入力電圧 V_{in} に対する入力範囲(入力ダイナミックレンジ)を実効的に拡大する。

図1



【特許請求の範囲】

【請求項1】差動入力電圧がゲートに印加され、ソースが共通に接続された第1と第2の電界効果トランジスタを含む差動回路を含む電子回路であって、上記差動回路は上記第1と第2の電界効果トランジスタの上記ソースとソースが共通に接続された第3と第4の電界効果トランジスタをさらに含んでなり、上記第1の電界効果トランジスタのドレインと上記第3の電界効果トランジスタのドレインとは差動出力の一方に接続され、上記第2の電界効果トランジスタのドレインと上記第4の電界効果トランジスタのドレインとは差動出力の他方に接続され、上記差動回路は上記第1と第2の電界効果トランジスタのゲートに印加される上記差動入力電圧の振幅値の増大に応答して減少する制御電圧を出力ノードから発生する制御回路をさらに具備してなり、上記制御回路の上記出力ノードから発生する上記制御電圧を上記差動回路の上記第3と第4の電界効果トランジスタのゲートに供給せしめることを特徴とする電子回路。

【請求項2】上記制御回路は、上記差動入力電圧がゲートに印加され、ソースが共通に接続され、ドレインが上記出力ノードに共通に接続された第5と第6の電界効果トランジスタと、上記第5と第6の電界効果トランジスタの上記ソースと共通にソースが接続され、ゲートとドレインとが上記出力ノードに共通に接続された第7と第8の電界効果トランジスタと、上記第5と第6の電界効果トランジスタの上記ソースと上記第7と第8の電界効果トランジスタの上記ソースと共通にソースが接続され、ゲートに上記差動入力信号電圧の直流電圧が供給される第9の電界効果トランジスタと、入力が上記第9の電界効果トランジスタのドレインに接続され、出力が上記出力ノードに共通に接続されたカレントミラー回路を含むことを特徴とする請求項1に記載の電子回路。

【請求項3】上記差動回路の上記第1と第2の電界効果トランジスタの上記ソースと上記第3と第4の電界効果トランジスタの上記ソースには第1の定電流源が接続され、

上記制御回路の上記第5と第6の電界効果トランジスタの上記ソースと上記第7と第8の電界効果トランジスタの上記ソースには第2の定電流源が接続され、上記第2の定電流源の定電流は上記第1の定電流源の定電流の略5/4倍に設定されていることを特徴とする請求項1に記載の電子回路。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、差動回路を含む電

子回路に関わり、特に電界効果トランジスタを使用した差動回路に関する。

【0002】

【従来の技術】従来より、ハードディスク用リードチャネルLSI内部のフィルタ、移動体通信のRF帯信号処理LSI内部のフィルタ等の分野では、電圧・電流変換を行うコンダクタンスアンプ(Gm-アンプ)が利用されている。

【0003】すなわち、フィルタ回路の時定数をディスクリート素子の抵抗RとキャパシタCとで構成するのではなく、集積回路のトランスクンダクタンスアンプ(Gm-アンプ)とキャパシタCとによって集積化フィルタ回路を構成し、このフィルタ回路の変動をトリミング調整により補償することが従来より行われている。

【0004】このコンダクタンスアンプ(Gm-アンプ)の電圧・電流変換のコンダクタンスを可変とすることにより、所望の特性のフィルタを実現することができる。すなわち、Gm-アンプは、入力電圧に比例した電流を出力する回路であり、演算増幅器(OP-アンプ)に比べ低電圧で高速なフィルタを構成するところが可能となる。

【0005】一方、OP-アンプは高い電圧利得($\approx 60\text{dB}$)を持っており、負帰還による仮想接地を利用してフィルタなどの回路が設計されてる。しかし負帰還系の安定性を確保するために補償容量を増加させなければならず、帯域を制限してしまうという欠点がある。

【0006】これに対してGm-アンプは、仮想接地ではなく一定なトランスクンダクタンスを利用して回路設計を行うので、補償容量が不要となり、OP-アンプに比べ帯域を延ばすことができる点で有利である。しかし、高いS/Nと低歪な入出力特性を得るために、入力振幅に依らず一定なトランスクンダクタンス(線形な伝達特性)が必要となる。またトランスクンダクタンスは広帯域に渡り一定であることが望まれる。

【0007】

【発明が解決しようとする課題】従来より電圧・電流変換を行うGm-アンプは、単純な差動対増幅素子によって構成されるが、一定なトランスクンダクタンスが得られる入力範囲は必ずしも充分ではない。

【0008】図2は電圧・電流変換を行う従来の差動回路を示しており、差動対201はMOS型電界効果トランジスタ(MOSFET)M1、M2により構成されている。

【0009】このMOSFET M1、M2はそれぞれ飽和領域で動作するので、差動入力電圧を V_{in} 、MOSFET M1、M2の相互コンダクタンスを K 、しきい値電圧を V_T 、それぞれのゲート・ソース間電圧を V_{GS1} 、 V_{GS2} 、それぞれのゲート電圧を V_1 、 V_2 、それぞれのドレン電流を I_1 、 I_2 、MOSFET M1、M2の共通ソースの電圧を V_S 、MOSFET M1、M2の共通ソースの定電流源の電流を $2I_{ss}$ とすると、下式が成立する。

【0010】

【数1】

$$I_1 = K(V_{GS1} - V_T)^2$$

$$I_2 = K(V_{GS2} - V_T)^2$$

【0012】

$$V_{GS1} - V_{GS2} = V_{in}$$

【0013】

$$V_1 = V_{in}/2$$

【0014】

$$V_2 = -V_{in}/2$$

【0015】

$$V_{GS1} = V_1 - V_s = \frac{V_{in}}{2} - V_s$$

【0016】

$$V_{GS2} = V_2 - V_s = -\frac{V_{in}}{2} - V_s$$

【0017】数6、数7を数1、数2に代入することにより、下式が得られる。

$$\begin{aligned} I_1 + I_2 &= K\left(\frac{V_{in}}{2} - V_s - V_T\right)^2 + \left(-\frac{V_{in}}{2} - V_s - V_T\right)^2 \\ &= K\left(\frac{V_{in}}{2} + 2(V_s + V_T)^2\right) = 2I_{ss} \end{aligned} \quad \cdots \text{ (数8)}$$

【0019】この数8を展開することにより、下式が得られる。

$$\frac{2I_{ss}}{K} - \frac{V_{in}^2}{2} = 2(V_s + V_T)^2$$

$$V_s = -V_T - \sqrt{\frac{I_{ss}}{K} - \frac{V_{in}^2}{4}} \quad \cdots \text{ (数9)}$$

【0021】数9を、数6、数7に代入することにより、下式が得られる。

$$V_{GS1} = \frac{V_{in}}{2} + V_T + \sqrt{\frac{I_{ss}}{K} - \frac{V_{in}^2}{4}}$$

【0023】

$$V_{GS2} = -\frac{V_{in}}{2} + V_T + \sqrt{\frac{I_{ss}}{K} - \frac{V_{in}^2}{4}}$$

【0024】数10、数11を数1、数2に代入することにより、下式が得られる。

【0011】

【数2】

【数3】

【数4】

【数5】

【数6】

【数7】

【0018】

【数8】

【0020】

【数9】

【0022】

【数10】

【数11】

$$\cdots \text{ (数11)}$$

【0025】

【数12】

$$\begin{aligned}
 I_1 &= K \left(\frac{V_{in}}{2} + \sqrt{\frac{I_{ss}}{K} - \frac{V_{in}^2}{4}} \right)^2 \\
 &= I_{ss} + \sqrt{KI_{ss} - \frac{(KV_{in})^2}{4}} \circ V_{in} \quad \cdots \text{ (数12)}
 \end{aligned}$$

【0026】

$$\begin{aligned}
 I_2 &= K \left(-\frac{V_{in}}{2} + \sqrt{\frac{I_{ss}}{K} - \frac{V_{in}^2}{4}} \right)^2 \\
 &= I_{ss} - \sqrt{KI_{ss} - \frac{(KV_{in})^2}{4}} \circ V_{in} \quad \cdots \text{ (数13)}
 \end{aligned}$$

【0027】差動対MOSFET M1、M2のドレインに接続された負荷MOSFET M3、M4のドレイン電流 I_3 、 I_4 がそれぞれ I_{ss} とすると、差動出力 OUTP、OUTN の出力電流 I_{op} 、 I_{on} は下式のように求められる。

【0028】

TNの出力電流 I_{op} 、 I_{on} は下式のように求められる。

【0029】

【数14】

$$\begin{aligned}
 I_{op} &= I_4 - I_2 \\
 &= \sqrt{KI_{ss} - \frac{(KV_{in})^2}{4}} \circ V_{in} \quad \cdots \text{ (数14)}
 \end{aligned}$$

【0029】

【数15】

$$\begin{aligned}
 I_{on} &= I_3 - I_1 \\
 &= -\sqrt{KI_{ss} - \frac{(KV_{in})^2}{4}} \circ V_{in} \quad \cdots \text{ (数15)}
 \end{aligned}$$

【0030】数14、数15から、電圧・電流変換を行う G_m -アンプのトランスクンダクタンス G_m は、下式のように求められる。

$$\begin{aligned}
 |G_m| &= \frac{dI_{op}}{dV_{in}} = -\frac{dI_{on}}{dV_{in}} \\
 &= \frac{KI_{ss} - \frac{(KV_{in})^2}{2}}{\sqrt{KI_{ss} - \frac{(KV_{in})^2}{4}}} \quad \cdots \text{ (数16)}
 \end{aligned}$$

【0032】数14、数15で与えられる出力電流 I_{op} 、 I_{on} の回路シミュレーションによる伝達特性は、図4の403(I_{op})と404(I_{on})で示され、また数16で与えられるトランスクンダクタンス G_m は図5の503と504で示されている。

【0033】この図4および図5から判るように、差動入力電圧 V_{in} が微少な振幅範囲においては差動入力電圧 V_{in} に比例して出力電流 I_{op} 、 I_{on} が変化すると言ふ線形な伝達特性が得られるが、差動入力電圧 V_{in} が大きくなり出力電流 I_{op} 、 I_{on} の飽和部分に近づくと線形な伝達特性が得られるなくなる。このように入力電圧 V_{in} の振幅が大きくなると、トランスクンダクタンス G_m は大きな値から小さな値に変化してしまう。

【0034】以上説明したように、電圧・電流変換を行

【0031】

【数16】

【数16】

う G_m -アンプのトランスクンダクタンス G_m を構成する従来の差動回路においては、線形な伝達特性が得られる入力範囲(入力ダイナミックレンジ)が不十分であると言う問題がある。

【0035】一方、入力範囲を拡大する方法として、図3のように差動対MOSFETのソースに抵抗を挿入した、抵抗分圧型 G_m -アンプが知られている(IEEE JOURNAL OF SOLID-STATE CIRCUITS, VOL. 29, No. 4, APRIL 1994, P. 489~499参照)。

【0036】この図3の G_m -アンプは、ソース抵抗 $301(R_d)$ により入力電圧を分圧することで入力範囲を拡大しているが、その分だけトランスクンダクタンスが減少してしまい、フィルタの帯域を制限してしまうという問題が生じる。更に、寄生容量 $302(C_p)$ とソース抵抗 $301(R_d)$ と

が原因となり、Gm-アンプの伝達特性に寄生的な零点を生じ、この零点近傍の周波数帯でトランスコンダクタンスが変動してしまうという問題が発生する。この零点は、Qの高いフィルタ回路では特性を劣化させる原因となるので、従来ではマスター・スレーブ補償回路と言う複雑な回路構成によりキャンセルしなければならない。

【0037】従って、本発明の目的とするところは、比較的単純な回路構成によって線形な伝達特性が得られる入力範囲を拡大することができる差動回路を提供することにある。

【0038】

【課題を解決するための手段】本発明の代表的な実施形態は、差動入力電圧(V_{in})がゲートに印加され、ソースが共通に接続された第1と第2の電界効果トランジスタ(M1、M2)を含む差動回路(101)を含む電子回路であって、上記差動回路(101)は上記第1と第2の電界効果トランジスタ(M1、M2)の上記ソースとソースが共通に接続された第3と第4の電界効果トランジスタ(M3、M4)をさらに含んでなり、上記第1の電界効果トランジスタ(M1)のドレインと上記第3の電界効果トランジスタ(M3)のドレインとは差動出力の一方(OUTN)に接続され、上記第2の電界効果トランジスタ(M2)のドレインと上記第4の電界効果トランジスタ(M4)のドレインとは差動出力の他方(OUTP)に接続され、上記差動回路(101)は上記第1と第2の電界効果トランジスタ(M1、M2)のゲートに印加される上記差動入力電圧(V_{in})の振幅値の増大に応答して減少する制御電圧(V_{cont})を出力ノード(n3)から発生する制御回路(102)をさらに具備してなり、上記制御回路(102)の上記出力ノード(n3)から発生する上記制御電圧(V_{cont})を上記差動回路(101)の上記第3と第4の電界効果トランジスタ(M3、M4)のゲートに供給せしめることを特徴とする(図1参照)。

【0039】本発明の代表的な実施形態によれば、差動入力電圧(V_{in})の振幅値が増大した場合には、制御回路(102)の出力ノード(n3)から発生する制御電圧(V_{cont})が減少して、差動回路(101)の第3と第4の電界効果トランジスタ(M3、M4)に流れる電流が減少する。この電流の減少に応じて差動回路(101)の第1と第2の電界効果トランジスタ(M1、M2)に流れる電流が増大するので、差動回路(101)に印加される差動入力電圧(V_{in})に対する入力範囲(入力ダイナミックレンジ)を実効的に拡大することが可能となる。

【0040】

【発明の実施の形態】図1は電圧・電流変換を行う本発明の実施例による差動回路を示しており、差動入力電圧

$$\begin{aligned} V_{n1} &= V_{n2} = V_{CM} - V_{GS} \\ &= V_{CM} - V_T - \sqrt{\frac{I_{ss}}{K}} \end{aligned}$$

【0046】すなわち、制御回路102のダイオード接

V_{in} の電圧・電流変換を行う差動回路101はMOSFET M1、M2、M3、M4により構成され、制御回路102は差動回路101の入力範囲を拡大する回路であり、ソースが共通接続されたMOSFET M9、M5、M7、M8、M6とカレントミラー回路を構成するMOSFET M14、M15、M16、M17、M18により構成されている。

【0041】差動回路101のMOSFET M1、M2、M3、M4はそれぞれ飽和領域で動作し、MOSFET M1、M2、M3、M4は略等しい相互コンダクタンスK、略等しいしきい値電圧を V_T を有しており、MOSFET M1、M2、M3、M4の共通ソースの定電流源の電流を $4I_{ss}$ とする。差動回路101に供給される差動入力電圧 V_{in} はMOSFET M1、M2のゲートに印加され、MOSFET M3、M4のゲートには制御回路102の出力ノードn3の制御電圧 V_{cont} が供給される。

【0042】制御回路102のMOSFET M9、M5、M7、M8、M6は略等しい相互コンダクタンスK、略等しいしきい値電圧を V_T を有しており、MOSFET M1、M2、M3、M4の共通ソースのノードn2に接続された定電流源の電流は $5I_{ss}$ とされている。MOSFET M5、M6のゲートには差動回路101に供給される差動入力電圧 V_{in} が印加され、MOSFET M9のゲートにはこの差動入力電圧 V_{in} の中間電圧 V_{CM} が印加されている。インピーダンス素子としてのMOSFET M7、M8のゲートとドレインとは短絡されておりMOSFET M7、M8はダイオード接続されている。

【0043】制御回路102において差動入力電圧 V_{in} の直流レベルの中間電圧 V_{CM} がゲートに印加されたMOSFET M9のソースフォロワの作用によって、差動入力電圧 V_{in} の振幅値に拘わらず、共通ソースのノードn2の電位は安定化されている。

【0044】すなわち、差動入力電圧 V_{in} の振幅値が零の時(すなわち、無入力信号状態の時)には、制御回路102の出力ノードn3の制御電圧 V_{cont} は差動入力電圧 V_{in} の直流レベルの中間電圧 V_{CM} にバランスされている。この結果、差動回路101のMOSFET M1、M2、M3、M4の各ドレインには I_{ss} の等しい電流が流れ、制御回路102のMOSFET M9、M5、M7、M8、M6の各ドレインには I_{ss} の等しい電流が流れる。従って、差動回路101の共通ソースのノードn1の電位と制御回路102の共通ソースのノードn2の電位とは、下式で与えられる。

【0045】

【数17】

・・・(数17)

続のMOSFET M7、M8は出力ノードn3の制御電圧 V

V_{CONT} を共通ソースのノードn2の電位によりゲート・ソース間電圧 V_{GS} 分高い電圧に制御するレベルシフト素子として動作する。

【0047】この結果、中間電圧 V_{CM} がゲートに印加されたMOSFET M9のゲート・ソース間電圧 V_{GS9} とレベルシフト素子としてのダイオード接続MOSFET M7

$$\begin{aligned} V_{CONT} &= V_{n2} + V_{GS7} \\ &= V_{CM} - V_{GS9} + V_{GS7} \\ &= V_{CM} - V_T - \sqrt{\frac{I_{SS}}{K}} + V_T + \sqrt{\frac{I_{SS}}{K}} \\ &= V_{CM} \end{aligned}$$

... (数18)

【0049】出力ノードn3の制御電圧 V_{CONT} がなんらかの理由によって中間電圧 V_{CM} より高くなると、ダイオード接続MOSFET M7、M8の電流が I_{SS} より増加して、この増加分に応じてMOSFET M9、M5、M6の電流が減少する。従って、カレントミラーリングのMOSFET TM14、M15、M16、M17、M18の電流も減少して、出力ノードn3の制御電圧 V_{CONT} は中間電圧 V_{CM} まで低下する。

$$I_1 = I_{ds} + \sqrt{KI_{ds} - \frac{(KV_{in})^2}{4}} \cdot V_{in}$$

【0050】一方、差動回路101のMOSFET M1、M2のドレイン電流の和を $2I_{ds}$ とすれば、差動入力電圧 V_{in} の振幅値が零でない時(すなわち、有入力信号状態の時)の差動回路101のMOSFET M1、M2のドレイン電流 I_1 、 I_2 は、上記の数12、数13と同様にそれぞれ下式で与えられる。

【0051】

【数19】

... (数19)

【0052】

$$I_2 = I_{ds} - \sqrt{KI_{ds} - \frac{(KV_{in})^2}{4}} \cdot V_{in}$$

【数20】

... (数20)

【0053】この時、制御回路102ではMOSFET M9のソースフォロワの作用により共通ソースのノードn2の電位は略安定化されているため、同様に差動入力電圧 V_{in} が供給されるMOSFET M5、M6は差動対のMOSFETの伝達特性ではなく、ソース接地のMOSFET

$$I_5 = K(V_{GS5} - V_T)^2$$

【0055】

$$I_6 = K(V_{GS6} - V_T)^2$$

T の伝達特性によりそれぞれのドレイン電流 I_5 、 I_6 およびドレイン電流の和 $I_5 + I_6$ が下式のように求められる。

【0054】

【数21】

... (数21)

【0056】

$$V_{GS5} - V_{GS6} = V_{in}$$

【数22】

... (数22)

【0057】

$$V_5 = \frac{V_{in}}{2}$$

【数23】

... (数23)

【0058】

$$V_6 = -\frac{V_{in}}{2}$$

【数24】

... (数24)

【0059】

【数25】

... (数25)

【数26】

$$I_5 = K \left(\frac{V_{in}}{2} - V_{n2} - V_T \right)^2 \quad \dots \dots \dots \text{ (数 2 6)}$$

【0060】

$$I_6 = K \left(-\frac{V_{in}}{2} - V_{n2} - V_T \right)^2 \quad \dots \dots \text{ (数 2 7)}$$

【0061】

$$I_5 + I_6 = K \left(\frac{V_{in}^2}{2} + 2(V_{n2} + V_T)^2 \right) \quad \dots \dots \text{ (数 2 8)}$$

【0062】一方、制御回路102で安定化されているソースフォロワのMOSFET M9のドレイン電流で駆動されるカレントミラー回路の出力側MOSFET M15、M16、M17、M18により $4I_{ss}$ の電流が供給されているの

$$\begin{aligned} I_7 + I_8 &= 4I_{ss} - (I_5 + I_6) \\ &= 4I_{ss} - K \left(\frac{V_{in}^2}{2} + 2(V_{n2} + V_T)^2 \right) \quad \dots \dots \text{ (数 2 9)} \end{aligned}$$

【0064】ところで、上式で差動入力電圧 V_{in} が零の時には $I_7 + I_8 = 2I_{ss}$ であるので、下式が与えられる。

$$2K(V_{n2} + V_T)^2 = 2I_{ss} \quad \dots \dots \text{ (数 3 0)}$$

【0066】この数30を数29に代入すると、下式が与えられる。

$$I_7 + I_8 = 2I_{ss} - \frac{K}{2}V_{in}^2 \quad \dots \dots \text{ (数 3 1)}$$

【0068】従って、数28と数31から、制御回路102のMOSFET M5、M7、M8、M6のドレイン電流の和 $I_5 + I_6 + I_7 + I_8$ が下式のように求められる。

$$I_5 + I_6 + I_7 + I_8 = 2K(V_{n2} + V_T)^2 + 2I_{ss} \quad \dots \dots \text{ (数 3 2)}$$

【0070】この数32を展開すると、下式が求められる。

$$4I_{ss} = 2K(V_{n2} + V_T)^2 + 2I_{ss}$$

$$V_{n2} = -V_T - \sqrt{\frac{I_{ss}}{K}} \quad \dots \dots \text{ (数 3 3)}$$

【0072】これらの数28と数31と数32とから、差動入力電圧 V_{in} の振幅値に比例して制御回路102のMOSFET M5、M6のドレイン電流の和 $I_5 + I_6$ は増加する分割御回路102のダイオード接続MOSFET M7、M8のドレイン電流の和 $I_7 + I_8$ が減少し、差動入力電圧 V_{in} の振幅値の変化と略無関係に制御回路102のMOSFET M5、M7、M8、M6のドレイン電流の和 $I_5 + I_6 + I_7 + I_8$ が略一定となり、制御回路102の共通

で、ダイオード接続MOSFET M7、M8のドレイン電流の和 $I_7 + I_8$ が下式のように求められる。

【0063】

【数29】

【0065】

【数30】

【0067】

【数31】

【0069】

【数32】

【0071】

【数33】

ソースのノードn2の電位 V_{n2} も略一定となることが理解される。

【0073】尚、数33はノードn2の電位 V_{n2} が交流的に変動しないことを示し、ノードn2の直流電位 V_{n2} は数17で与えられるものである。

【0074】従って、数31に従って制御回路102のインピーダンス素子としてのダイオード接続のMOSFET M7、M8のドレイン電流の和 $I_7 + I_8$ が減少する分、

ダイオード接続のMOSFET M7、M8の電圧、すなわち制御回路102の出力ノードn3と共にソースのノードn2との間の電位差が減少する。この電位差はダイオード接続のMOSFET M7、M8のゲート・ソース間電圧 V_{GS7} であり、数31の半分がダイオード接続のMOSFET M7のドレイン電流 I_7 であるので、下式が求められる。

【0075】

【数34】

$$I_7 = K(V_{GS7} - V_T)^2$$

$$V_{GS7} = V_T + \sqrt{\frac{I_7}{K}}$$

$$= V_T + \sqrt{\frac{I_{ss}}{K} - \frac{V_{in}^2}{4}} \quad \cdots \text{ (数34)}$$

$$I_3 = I_4 = K(V_{GS7} - V_T)^2$$

$$= I_{ss} - \frac{K}{4} V_{in}^2$$

【0076】従って、数34で与えられる制御回路102のインピーダンス素子としてのダイオード接続のMOSFET M7のゲート・ソース間電圧 V_{GS7} が差動回路101のMOSFET M3、M4のゲート・ソース間に印加されると考えることができるので、MOSFET M3、M4のドレイン電流 I_3 、 I_4 は下式で与えられる。

【0077】

【数35】

$$\cdots \text{ (数35)}$$

【0078】一方、差動回路101の共通ソースのノードn1の定電流源によってMOSFET M1、M2、M3、M4のドレイン電流の和 $I_1 + I_2 + I_3 + I_4$ は $4I_{ss}$ に設定されるので、数19、数20、数35より、下式が得ら

$$4I_{ss} = I_1 + I_2 + I_3 + I_4$$

$$= 2I_{ds} + 2I_{ss} - \frac{K}{2} V_{in}^2$$

$$I_{ds} = I_{ss} + \frac{K}{2} V_{in}^2$$

れる。

【0079】

【数36】

$$\cdots \text{ (数36)}$$

【0080】差動回路101において、差動出力OUTNにはMOSFET M1のドレインとMOSFET M3のドレインとが接続され、差動出力OUTPにはMOSFET M2のドレインとMOSFET M4のドレインとが接続されている。

【0081】従って、差動出力OUTNに接続されたM

$$I_1 + I_3 = 2I_{ss} + \sqrt{KI_{ss}} \cdot V_{in}$$

【0083】同様に、差動出力OUTPに接続されたMOSFET M2のドレイン電流 I_2 とMOSFET M4のドレイン電流 I_4 との和は、数20、数35、数36とを

$$I_2 + I_4 = 2I_{ss} - \sqrt{KI_{ss}} \cdot V_{in}$$

【0085】差動回路101の差動対MOSFET M1、M2のドレインに接続された負荷MOSFET M10、M11、M12、M13の各ドレイン電流が I_{ss} とすると、差動出力OUTP、OUTNの出力電流 I_{op} 、 I_{on} は下式のように

$$I_{op} = 2I_{ss} - (I_2 + I_4)$$

$$= \sqrt{KI_{ss}} \cdot V_{in}$$

【0087】

MOSFET M1のドレイン電流 I_3 とMOSFET M3のドレイン電流 I_1 との和は、数19、数35、数36とを用いて整理すると、下式で与えられる。

【0082】

【数37】

$$\cdots \text{ (数37)}$$

用いて整理すると、下式で与えられる。

【0084】

【数38】

$$\cdots \text{ (数38)}$$

求められる。

【0086】

【数39】

$$\cdots \text{ (数39)}$$

【数40】

$$I_{on} = 2I_{ss} - (I_1 + I_3) \\ = -\sqrt{KI_{ss}} \bullet V_{in} \quad \dots \quad (数 4 0)$$

【008】数39、数40から、電圧・電流変換を行うG_m-アンプのトランスクンダクタンスG_mは、下式のように求められる。

$$|G_m| = \frac{dI_{op}}{dV_{in}} = - \frac{dI_{on}}{dV_{in}} = \sqrt{KI_{ss}} \quad \dots \quad (\text{数 4-1})$$

【0090】数39、数40で与えられる出力電流 I_{op} 、 I_{on} の回路シミュレーションによる伝達特性は、図4の401(I_{op})と402(I_{on})で示され、また数41で与えられるトランスコンダクタンス G_m は図5の501と502で示されている。

【0091】この図4および図5から判るように、差動入力電圧 V_{in} の振幅値が大きくなつて出力電流 I_{op} 、 I_{on} の絶対値が $2 I_{ss}$ の付近まで線形な伝達特性が得られ、トランジスタコンダクタンス G_m は大きな値を保ち、線形な伝達特性が得られる入力範囲(入力ダイナミックレンジ)を拡大することができる。

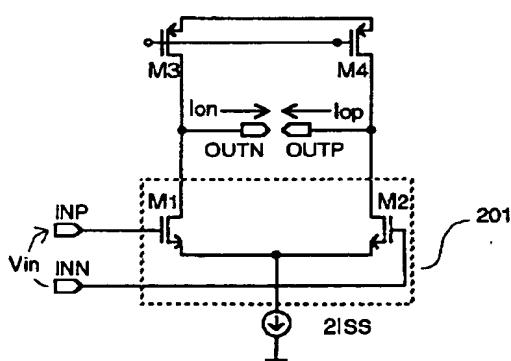
【0092】以上、本発明の好適な実施形態を詳細に説明したが、本発明はこの好適な実施形態に限定されるものではなく、その基本的技術思想の範囲内で種々の変形が可能であることは言うまでもない。

【0093】例えば、差動回路101のMOSFETと制御回路102のMOSFETとは、シリコン等の接合型電界効果トランジスタに置換することも可能であり、さらには化合物半導体等によるMESFET型の電界効果トランジスタに置換するも可能である。

【0094】また、ハードディスク用リードチャネルLSI内部のフィルタ、移動体通信のRF帯信号処理LSI

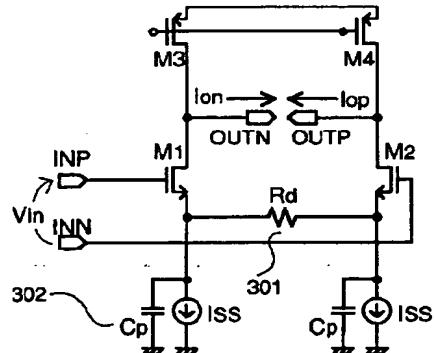
〔図2〕

2



[图3]

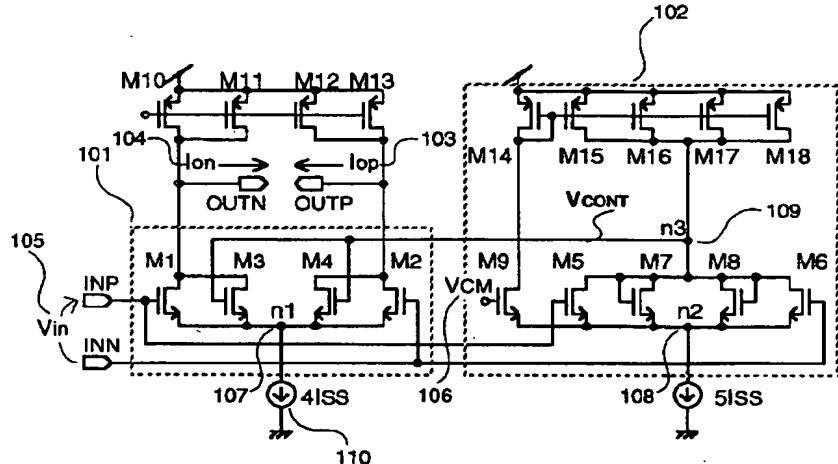
3



【図1】

[図5]

1



〔四〕

义 4

